

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-252466

(43)Date of publication of application : 06.09.2002

(51)Int.Cl.

H05K 3/46

H05K 1/11

H05K 3/42

(21)Application number : 2001-051602

(71)Applicant : JAPAN SCIENCE & TECHNOLOGY
CORP

TOPPAN PRINTING CO LTD

NODAICHI DENSHI:KK

OGATA KOGYO KK

KUMABO METAL:KK

(22)Date of filing : 27.02.2001

(72)Inventor : FURUYA AKIHIKO

YASUDA KEIICHIRO

O ZORIN

IKEDA HIDEO

BABA TOMOYUKI

HAGIWARA MUNEAKI

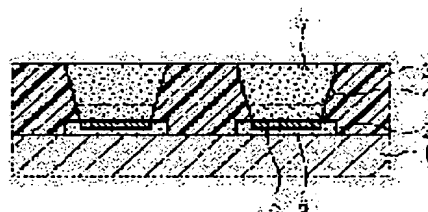
(54) WIRING BOARD AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To fill a via hole with a plating layer whose main component is copper in a void-free state, regarding a wiring board and manufacturing method thereof.

SOLUTION: An activating region 5 in a catalytic activity state is provided on the surface of a conductive layer 2 of exposed copper or copper compound as a main component in the via hole 4 provided to an organic insulating layer 3. An initial embedding layer 6 contacting at least the activating region 5 of a via 7 that embeds the via hole 4 comprises an electroless copper plating layer.

本発明の原理的構造の説明図



1: 基板	5: 活性化領域
2: 導電層	6: 埋め込み層
3: 有機絶縁層	7: 凹部
4: ビア	

LEGAL STATUS

[Date of request for examination]

27.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number] 3596476

[Date of registration] 17.09.2004

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-252466
(P2002-252466A)

(43) 公開日 平成14年9月6日(2002.9.6)

(51) Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
H 0 5 K 3/46		H 0 5 K 3/46	N 5 E 3 1 7
			B 5 E 3 4 6
1/11		1/11	N
3/42	6 1 0	3/42	6 1 0 B

審査請求 有 請求項の数 9 O L (全 14 頁)

(21) 出願番号 特願2001-51602(P2001-51602)

(22) 出願日 平成13年2月27日(2001.2.27)

(71) 出願人 396020800

科学技術振興事業団

埼玉県川口市本町4丁目1番8号

(71) 出願人 000003193

凸版印刷株式会社

東京都台東区台東1丁目5番1号

(71) 出願人 598011167

株式会社 野田市電子

熊本県熊本市世安町335番地

(74) 代理人 100105337

弁理士 眞鍋 潔

最終頁に続く

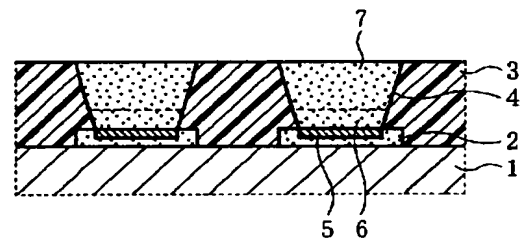
(54) 【発明の名称】 配線基板及びその製造方法

(57) 【要約】

【課題】 配線基板及びその製造方法に関し、ビアホールを銅を主成分とするメッキ層でボイドフリーの状態に埋め込む。

【解決手段】 有機絶縁層3に設けたビアホール4内に露出する銅または銅を主成分とする導電層2の表面に触媒活性な状態の活性化領域5を設けるとともに、ビアホール4を埋め込むビア7の少なくとも活性化領域5に接する初期埋込層6を無電解銅メッキ層によって構成する。

本発明の原理的構成の説明図



1: ベース層
2: 導電層
3: 有機絶縁層
4: ビアホール

5: 活性化領域
6: 初期埋込層
7: ビア

【特許請求の範囲】

【請求項1】 有機絶縁層に設けたビアホール内に露出する銅または銅を主成分とする導電層の表面に触媒活性な状態の活性化領域を設けるとともに、前記ビアホールを埋め込むビアの少なくとも前記活性化領域に接する初期埋込層を無電解銅メッキ層によって構成したことを特徴とする配線基板。

【請求項2】 有機絶縁層に設けたビアホール内に露出する銅または銅を主成分とする導電層を活性化処理することによって前記導電層の表面に触媒活性な状態の活性化領域を設けたのち、前記活性化領域を自己触媒とした無電解銅メッキ法によって少なくとも前記活性化領域に接する初期埋込層を形成することを特徴とする配線基板の製造方法。

【請求項3】 上記ビアホールを埋め込むビアを全て、上記活性化領域を自己触媒とする無電解銅メッキ法によって形成することを特徴とする請求項2記載の配線基板の製造方法。

【請求項4】 上記初期埋込層を形成したのち、Pdからなる触媒を形成し、前記触媒を用いた無電解銅メッキ法によって上記ビアホールの少なくとも一部を埋め込むことを特徴とする請求項2記載の配線基板の製造方法。

【請求項5】 上記有機絶縁層が少なくともカルボキシル基を含む有機物からなり、上記初期埋込層を形成したのち、前記有機絶縁層を構成するイミド環の開環処理を伴うCuからなる触媒の析出工程を行い、前記触媒を用いた無電解銅メッキ法によってビアホールの少なくとも一部を埋め込むことを特徴とする請求項2記載の配線基板の製造方法。

【請求項6】 上記初期埋込層を形成したのち、上記触媒を形成し、前記触媒を用いた無電解銅メッキ法によって上記ビアホールの残り全てを埋め込むことを特徴とする請求項4または5に記載の配線基板の製造方法。

【請求項7】 上記初期埋込層を形成したのち、上記触媒を形成し、前記触媒を用いた無電解銅メッキ法によって無電解銅メッキ層を形成し、前記無電解銅メッキ層をシード層として用いた電解銅メッキ法によって上記ビアホールの残り全てを埋め込むことを特徴とする請求項4または5に記載の配線基板の製造方法。

【請求項8】 上記活性化処理が、酸処理によることを特徴とする請求項2乃至7のいずれか1項に記載の配線基板の製造方法。

【請求項9】 上記酸処理が、硫酸と過酸化水素を含む混合溶液を用いた酸処理であることを特徴とする請求項8記載の配線基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は配線基板及びその製造方法に関するものであり、特に、プリント基板や半導体パッケージにおける多層配線基板等の配線基板をビル

ドアップ工法によって形成する際におけるビアホールの埋め込みをボイドフリーで行なうための構成に特徴のある配線基板及びその製造方法に関するものである。

【0002】

【従来の技術】 従来より、電子部品をコンパクトに電子機器に組み込むためにプリント基板が一般的に使用されており、このプリント基板は、積層板の両側に張り合わせた銅箔を電子回路パターンにしたがってエッチングして銅回路を形成するものであり、高密度に電子部品を実装することは困難ではあるが、コスト面で有利であるという特徴がある。

【0003】 一方、ハイブリッドIC用としては、ビルドアップ工法を用いた多層配線構造が用いられており、これはセラミック基板上に導体と絶縁体の厚膜ペーストを順次印刷して積み重ねたのち焼成するものであり、コスト面では不利であるが、高密度実装が可能になるという特徴がある。

【0004】 近年、電子機器に対する小型化、高性能化、及び、低価格化などの要請に伴い、プリント基板に形成する電子回路パターンの微細化、多層化、及び、電子部品の高密度実装化が急激に進み、プリント基板に対してもビルドアップ多層配線構造の採用が試みられている。

【0005】 図8参照

図8は、この様な高密度多層配線基板の概略的断面図であり、この様なビルドアップ多層配線構造においては、例えば、両面に銅回路42を設けるとともに、内部に貫通導体43、電源層44、及び、GND層45等を設けた両面銅張積層板(FR-4)41上にエポキシ樹脂層46からなる層間絶縁膜を介して電子回路パターンを構成する銅配線層47を多層に設けるものであり、この多層の銅配線層47間をビアホールを埋め込むビア48によって相互接続する。

【0006】 ここで、図9を参照して従来のビアホールの埋込工程を説明するが、各図においては一方の表面しか図示していないが、実際には、両側の面に対して処理を行なうものである。

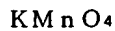
図9(a) 参照

まず、表面に銅回路42を設けた、例えば、板厚が0.8mmで、30cm×30cmの両面銅張積層板(FR-4)41上に厚さ30μmのエポキシ樹脂層46をラミネートしたのち、110℃で60分間のベーキング処理を行い、次いで、例えば、UV-YAGレーザ、即ち、YAGレーザの第4高調波を利用して波長が266nmのレーザ光51を照射して両面銅張積層板41に設けた銅回路42に接続するためのビアホール52を形成する。例えば、このビアホール52は、直径が30μmφで、アスペクト比を1.0とする。

【0007】 図9(b) 参照

次いで、酸化性溶液であるデスミア処理溶液中に両面銅

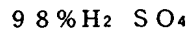
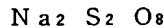
張積層板41を、例えば、80℃において10分間浸漬することによって、ビアホール52内部のレーザ加工において発生した残渣を除去するとともに、エポキシ樹脂*



NaOH+イオン交換水

からなる混合溶液を用いる。

【0008】次いで、両面銅張積層板41を水洗処理したのち、200ml/リットルの硫酸+硫酸ヒドロキシルアミン+活性剤+有機酸+イオン交換水を含む中和溶液中で、両面銅張積層板41を例えば、45℃で5分間浸漬して中和処理し、次いで、再び、両面銅張積層板4※



からなる混合溶液中に、例えば、25℃において2分浸漬することによって、ソフトエッチングを行ない、銅回路42の表面に形成されている自然酸化膜を除去する。

【0010】次いで、両面銅張積層板41を水洗処理したのち、10ml/lの98% H_2SO_4 からなる溶液中に、例えば、25℃において2分浸漬することによって、脱スマット処理を行なって、ソフトエッチング工程において発生した反応生成物の残渣を除去する。

【0011】次いで、両面銅張積層板41を水洗処理したのち、塩化ナトリウム+硫酸水素ナトリウム+添加剤からなるブリディップ液中に浸漬して、次工程のキャタリスト工程におけるキャタリスト液とのなじみを改善する。

【0012】次いで、両面銅張積層板41を水洗処理したのち、塩化水素+スズ塩+パラジウム塩+イオン交換水からなるキャタリスト液と、塩化ナトリウム+硫酸水素ナトリウム+添加剤からなるブリディップ液とを含む混合溶液中に、例えば、30℃において5分浸漬して、銅回路42及びエポキシ樹脂層46の露出表面に、SnとPdのコロイド物質を析出させる。

【0013】次いで、両面銅張積層板41を水洗処理したのち、硫酸+錯化剤+イオン交換水からなるアクセレーター液中に、例えば、35℃において5分浸漬してコロイド物質中のSnを離脱させて、銅回路42及びエポキシ樹脂層46の露出表面に、Pd触媒53のみを付着★

硫酸銅

硫酸

塩素イオン

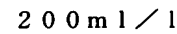
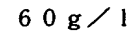
光沢剤

からなり、浴温度を25℃とし、陰極電流密度を3.0A/dm²を流し、空気攪拌しながら120分間電解銅メッキ処理を行う。

【0018】次いで、図示を省略するものの、エポキシ樹脂層46上に堆積した電解銅メッキ層55及びメッキシード層54を所望のパターンにエッチングすることによって銅配線層を形成する。

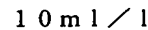
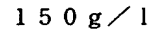
【0019】以降は、水洗処理及び乾燥処理を行なった

*層46の表面に微細な凹凸を形成する。なお、この場合のデスマット処理溶液は、



※1を水洗処理したのち、100ml/lのモノエタノールアミン+活性剤+イオン交換水を含む脱脂溶液中で、両面銅張積層板41を、例えば、65℃で5分間浸漬して脱脂処理を行う。

【0009】次いで、



★させる。

【0014】図9(c)参照

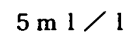
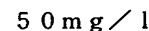
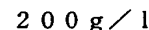
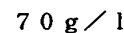
次いで、両面銅張積層板41を水洗処理したのち、硫酸銅系の無電解銅メッキ液を用いて無電解銅メッキ処理を施すことによって、銅回路42及びエポキシ樹脂層46の露出表面に無電解銅メッキ層からなるメッキシード層54を形成する。

【0015】なお、この場合の硫酸銅系の無電解銅メッキ液は、例えば、硫酸銅及びEDTAを主成分とする混合液に対し、NaOH及びホルマリンを少量混合したものであり、例えば、PH=12.5とし、浴温度を72℃とした状態で30分間の無電解銅メッキ処理を行う。この無電解銅メッキ工程において、銅回路42及びエポキシ樹脂層46の露出表面に析出したPd触媒53が触媒として作用し、均一で且つ密着性の良好なメッキシード層54が形成される。

【0016】図9(d)参照

次いで、メッキシード層54を形成した両面銅張積層板41を水洗処理したのち乾燥し、次いで、上述の脱脂処理と同様にモノエタノールアミン+活性剤+イオン交換水を含む脱脂溶液を用いて脱脂処理を行ったのち、電解銅メッキ処理を施すことによってメッキシード層54上に電解銅メッキ層55を形成してビアホール52を埋め込む。

【0017】この場合の電解メッキ浴は、例えば、



のち、上述のエポキシ樹脂層46のラミネート、レーザ加工等の一連の処理を必要回数繰り返すことによって図8に示した高密度多層配線基板が形成され、最後に、水洗処理したのち、ベンゾトリアゾール液中に両面銅張積層板41を浸漬して防錆処理を行う。この防錆処理において、ベンゾトリアゾール中のアミン基(NH)が銅メッキ層の表面に吸着し、銅表面の酸化が防止される。

【0020】

【発明が解決しようとする課題】しかし、ビアホール52の埋込方法においては、ビアホール52の開口部における銅イオン Cu^{2+} の供給量がビアホール52の底部における供給量よりも多いため、ビアホール52の開口部における銅メッキ被膜が厚くなり、特に、ビアホール52の直径が、 $40\mu m$ 以下になると、ビアホール52の内部にボイド56が発生しやすくなり、高密度多層配線基板の信頼性を著しく低下させるという問題がある。

【0021】因に、上記の図9(d)の工程で終了させたビアホール数が1000の両面銅張積層板10枚に対して、ボイド56の発生率を測定したところ、1000のビアホール52に対し8736のビアホール52においてボイド56が発生しており、発生率は約87%であった。

【0022】なお、ビアホール52を電解メッキ処理に比べて堆積速度の遅いPd触媒53を利用した無電解メッキによって全て埋め込んだ場合にも、ボイド56が発生し、高密度多層配線基板の信頼性を著しく低下させるという問題がある。

【0023】また、銅メッキ層の堆積をビアホール52の底部から行なうために、ビアホール52内に露出する銅回路42自体をシード層として用いて電解メッキ処理を行なうことも考えられるが、この場合には、銅回路42をデージーチェーンの様に独立配線がないようにパターンをつないでおかなければならないという問題があり、さらに、パターンの粗密により電解メッキ層の膜厚がばらつくという問題がある。

【0024】したがって、本発明は、ビアホールを銅を主成分とするメッキ層でボイドフリーの状態に埋め込むことを目的とする。

【0025】

【課題を解決するための手段】図1は本発明の原理的構成の説明図であり、この図1を参照して本発明における課題を解決するための手段を説明する。なお、図1における符号1は両面銅張積層板等を構成するベース層である。

図1参照

(1) 本発明は、配線基板において、有機絶縁層3に設けたビアホール4内に露出する銅または銅を主成分とする導電層2の表面に触媒活性な状態の活性化領域5を設けるとともに、ビアホール4を埋め込むビア7の少なくとも活性化領域5に接する初期埋込層6を無電解銅メッキ層によって構成したことを特徴とする。

【0026】この様に、ビアホール4、特に、直径が $50\mu m$ 以下のビアホール4内に露出する導電層2に設けた活性化領域5を自己触媒として初期埋込層6を無電解銅メッキ法によって形成することによって、メッキ層をビアホール4の底部から堆積させることができ、それによって、ビア7にボイドが発生することがない。なお、本発明における無電解銅メッキ層或いは電解銅メッキ層

とは、純粋な銅メッキ層に限られるものではなく、銅を主成分とするメッキ層を意味するものである。

【0027】(2) また、本発明は、配線基板の製造方法において、有機絶縁層3に設けたビアホール4内に露出する銅または銅を主成分とする導電層2を活性化処理することによって導電層2の表面に触媒活性な状態の活性化領域5を設けたのち、活性化領域5を自己触媒とした無電解銅メッキ法によって少なくとも活性化領域5に接する初期埋込層6を形成することを特徴とする。

【0028】この様に、ビアホール4内に露出する導電層2を活性化処理することによって、ビアホール4の形成工程においてダメージを受けた導電層2の表面を綺麗な状態の導電層2とすることができ、この様な綺麗な状態の導電層2が無電解銅メッキ工程における自己触媒として作用することになる。また、無電解銅メッキ処理であるので、導電層2をシード層として用いた電解銅メッキ処理のように、デージーチェーン接続する必要はなく、工程が簡素化され、且つ、膜厚がばらつくことがない。

【0029】なお、従来におけるソフトエッチング工程では、導電層2の表面の自然酸化膜は除去することはできるもの、ビアホール4の形成工程に伴うダメージを回復することはできないので、露出した導電層2の表面は自己触媒として作用することがない。

【0030】(3) また、本発明は、上記(2)において、ビアホール4を埋め込むビア7を全て、活性化領域5を自己触媒とする無電解銅メッキ法によって形成することを特徴とする。

【0031】この様な工程によって、工程数及び薬液数を増やすことなく、単一のメッキ工程によってビアホール4を完全に埋め込むことができる。

【0032】(4) また、本発明は、上記(2)において、初期埋込層6を形成したのち、Pdからなる触媒を形成し、触媒を用いた無電解銅メッキ法によってビアホール4の少なくとも一部を埋め込むことを特徴とする。

【0033】この様に、初期埋込層6形成以降の工程を触媒を用いた無電解銅メッキ法によって行なうことによって、ビアホール4の開口部側からもメッキ層が堆積するので、埋込工程に必要な時間を短縮することができる。なお、ビアホール4の底部には既に初期埋込層6が形成され、ビアホール4のアスペクト比が低下しているので、ビアホール4の開口部側からもメッキ層が堆積してもボイドが発生することがない。

【0034】(5) また、本発明は、上記(2)において、有機絶縁層3が少なくともカルボキシル基を含む有機物からなり、初期埋込層6を形成したのち、有機絶縁層3を構成するイミド環の開環処理を伴うCuからなる触媒析出工程を行い、触媒を用いた無電解銅メッキ法によってビアホール4の少なくとも一部を埋め込むことを特徴とする。

【0035】この様に、有機絶縁層3が少なくともカルボキシル基を含む有機物からなる場合、銅を触媒として析出することができるので、ビア7内にPd等のCuと異種の金属が存在せず、それによって、密着性に優れるとともに、電気伝導性に優れたビア7を形成することができる。

【0036】(6) また、本発明は、上記(4)または(5)において、初期埋込層6を形成したのち、触媒を形成し、触媒を用いた無電解銅メッキ法によってビアホール4の残り全てを埋め込むことを特徴とする。

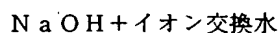
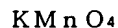
【0037】この様に、触媒を用いた無電解銅メッキ法によってビアホール4の残り全てを埋め込むことによって、工程数及び薬液数の増加を抑制することができる。

【0038】(7) また、本発明は、上記(4)または(5)において、初期埋込層6を形成したのち、触媒を形成し、触媒を用いた無電解銅メッキ法によって無電解銅メッキ層を形成し、この無電解銅メッキ層をシード層として用いた電解銅メッキ法によってビアホール4の残り全てを埋め込むことを特徴とする。

【0039】この様に、電解銅メッキ法を併用することによって、ビアホール4の埋込工程に要する時間を大幅に短縮することができ、スループットの向上及び低コスト化が可能になる。

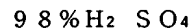
【0040】(8) また、本発明は、上記(2)乃至(7)のいずれかにおいて、活性化処理が、酸処理によることを特徴とする。

【0041】(9) また、本発明は、上記(8)におい*



からなる混合溶液を用いる。

【0045】次いで、両面銅張積層板11を水洗処理したのち、200ml/リットルの硫酸+硫酸ヒドロキシルアミン+活性剤+有機酸+イオン交換水を含む中和溶液中で、両面銅張積層板11を例えば、45℃で5分間浸漬して中和処理し、次いで、再び、両面銅張積層板1



からなる活性化処理液16中に、例えば、25℃において2分浸漬することによって、銅回路12の表面を活性化処理して活性化領域17を形成する。

【0047】この活性化処理によって、銅回路12の表面の自然酸化膜が除去されるとともに、ビアホール15を形成する際のレーザ加工に伴うダメージを回復することができ、ホルマリンを還元剤とする無電解銅メッキ浴に対して触媒能力のある活性な銅表面からなる活性化領域17が形成される。

【0048】図2(c) 参照

次いで、両面銅張積層板11を水洗処理したのち、硫酸銅系の無電解銅メッキ液を用いて活性化領域17を自己触媒とした無電解銅メッキ処理を施すことによって、銅

*て、酸処理が、硫酸と過酸化水素を含む混合溶液を用いた酸処理であることを特徴とする。

【0042】この様に、活性化処理は、酸処理、特に、硫酸と過酸化水素を含む混合溶液、例えば、10%の $\text{H}_2\text{SO}_4 + 10\% \text{H}_2\text{O}_2$ からなる混合溶液を用いた酸処理が好適である。

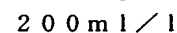
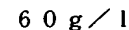
【0043】

【発明の実施の形態】ここで、図2を参照して本発明の第1の実施の形態の配線基板の製造工程を説明する。なお、各図においては一方の表面しか図示していないが、実際には、両側の面に対して処理を行なうものである。

図2(a) 参照

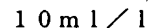
まず、従来と同様に、表面に銅回路12を設けた、例えば、板厚が0.8mmで、30cm×30cmの両面銅張積層板(FR-4)11上に厚さ30μmのエポキシ樹脂層13をラミネートしたのち、110℃で60分間のベーキング処理を行い、次いで、例えば、UV-YAGレーザ、即ち、YAGレーザの第4高調波を利用して波長が266nmのレーザ光14を照射して両面銅張積層板11に設けた銅回路12に接続するためのビアホール15を形成する。例えば、このビアホール15は、直径が30μmφで、アスペクト比を1.0とする。

【0044】次いで、酸化性溶液であるデスマア処理溶液中に両面銅張積層板11を、例えば、80℃において10分間浸漬することによって、エポキシ樹脂層13の表面に微細な凹凸を形成する。なお、この場合のデスマア処理溶液は、従来と同様に、



※1を水洗処理したのち、100ml/lのモノエタノールアミン+活性剤+イオン交換水を含む脱脂溶液中で、両面銅張積層板11を、例えば、65℃で5分間浸漬して脱脂処理を行う。

【0046】図2(b) 参照次いで、両面銅張積層板11を水洗処理したのち、



回路12の表面の活性化領域17上に、即ち、ビアホール15の底部側から無電解銅メッキ層18を形成する。

【0049】なお、この場合の硫酸銅系の無電解銅メッキ液は、従来と同様に、例えば、硫酸銅及びEDTAを主成分とする混合液に対し、NaOH及びホルマリンを少量混合したものであり、例えば、PH=12.5とし、浴温度を72℃とした状態で無電解銅メッキ処理を行う。

【0050】図2(d) 参照

引き続いて、この無電解銅メッキ工程を、例えば、300分行なうことによって、ビアホール15全体を無電解銅メッキ層18によって埋め込む。因に、この場合の成膜速度は、10μm/時程度となる。

【0051】次いで、図示を省略するものの、Pd触媒を用いた無電解メッキ法によって全面にシード層を形成したのち、配線パターンに対応する開口を有するメッキフレームを設け、このメッキフレームをマスクとして選択的に電解銅メッキ処理を行なうことによって銅配線層を形成し、次いで、メッキフレームを除去したのち、銅配線層をマスクとして露出するメッキシード層を除去する。

【0052】以降は、上述のエポキシ樹脂層13のラミネート、レーザ加工等の一連の処理を必要回数繰り返すことによって高密度多層配線基板が形成され、最後に、水洗処理したのち、ベンゾトリアゾール液中に両面銅張積層板11を浸漬して防錆処理を行うことによって、高密度多層配線基板が完成する。

【0053】この第1の実施の形態において、上記の図2(d)の工程の後に上述の防錆処理を行なったビアホール数が1000の両面銅張積層板10枚に対して、ボイドの発生率を測定したところ、1000のビアホール15に対してボイド発生率は0%であった。

【0054】また、この状態の10枚の両面銅張積層板に対して、-65℃~125℃における温度サイクル試験を48サイクル/日で実施したのちの層間接続不良を測定したところ、層間接続不良は0/10000と良好であった。

【0055】即ち、本発明の第1の実施の形態においては、銅回路12の表面に形成した活性化領域17を自己触媒とした無電解銅メッキ処理によってビアホール15を埋め込んでいるので、無電解銅メッキ層18の析出はビアホール15の底部側からのみ生じ、無電解銅メッキ層18中にボイドは発生することがない。

【0056】また、銅回路12をシード層とした電解メッキ処理と異なり、銅回路12をデージーチェーン接続する必要はなく、したがって、最終的に接続部を切断する必要もなくなるので、製造工程が簡素化され、且つ、析出するメッキ層の膜厚がばらつくことがない。

【0057】次に、図3及び図4を参照して、本発明の第2の実施の形態の配線基板の製造工程を説明する。なお、この場合も各図においては一方の表面しか図示していないが、実際には、両側の面に対して処理を行なうものであり、また、上記の第1の実施の形態と同一の工程については説明を簡略化する。

【0058】図3(a)参照

まず、上記の第1の実施の形態全く同様に、表面に銅回路12を設けた、例えば、板厚が0.8mmで、30cm×30cmの両面銅張積層板(FR-4)11上に厚さ30μmのエポキシ樹脂層13をラミネートしたのち、レーザ加工によってビアホール15を形成する。

【0059】次いで、上述のデスマア処理、中和処理、脱脂処理、及び、活性化処理を行なうことによって、銅回路12の表面を活性化処理してホルマリンを還元剤と

する無電解銅メッキ浴に対して触媒能力のある活性な銅表面からなる活性化領域17を形成する。

【0060】図3(b)参照

次いで、上記の第1の実施の形態と同様に、硫酸銅系の無電解銅メッキ液を用いて活性化領域17を自己触媒とした無電解銅メッキ処理を施すことによって、銅回路12の表面の活性化領域17上に無電解銅メッキ層18を形成する。

【0061】なお、この場合の硫酸銅系の無電解銅メッキ液は、上記の第1の実施野形態と同様に、例えば、硫酸銅及びEDTAを主成分とする混合液に対し、NaOH及びホルマリンを少量混合したものであり、例えば、PH=12.5とし、浴温度を72℃とした状態で120分間無電解銅メッキ処理を行うものであり、例えば、底部より10μm程度の厚さに無電解銅メッキ層18を形成する。

【0062】図3(c)参照

次いで、従来の触媒析出工程と同様に、両面銅張積層板11を水洗処理したのち、塩化ナトリウム+硫酸水素ナトリウム+添加剤からなるブリディップ液中に浸漬して、次工程のキャタリスト工程におけるキャタリスト液とのなじみを改善する。

【0063】次いで、両面銅張積層板11を水洗処理したのち、塩化水素+スズ塩+パラジウム塩+イオン交換水からなるキャタリスト液と、塩化ナトリウム+硫酸水素ナトリウム+添加剤からなるブリディップ液とを含む混合溶液中に、例えば、30℃において5分浸漬して、銅回路12及びエポキシ樹脂層13の露出表面に、SnとPdのコロイド物質を析出させる。

【0064】次いで、両面銅張積層板11を水洗処理したのち、硫酸+錯化剤+イオン交換水からなるアクセレータ液中に、例えば、35℃において5分浸漬してコロイド物質中のSnを離脱させて、銅回路12及びエポキシ樹脂層13の露出表面に、Pd触媒19のみを付着させる。

【0065】図4(d)参照

次いで、両面銅張積層板11を水洗処理したのち、硫酸銅系の無電解銅メッキ液を用いて無電解銅メッキ処理を施すことによって、銅回路12及びエポキシ樹脂層13の露出表面に無電解銅メッキ層からなるメッキシード層20を形成する。

【0066】なお、この場合の硫酸銅系の無電解銅メッキ液は、上述の無電解銅メッキ液と同じであり、例えば、硫酸銅及びEDTAを主成分とする混合液に対し、NaOH及びホルマリンを少量混合したものであり、例えば、PH=12.5とし、浴温度を72℃とした状態で30分間の無電解銅メッキ処理を行う。

【0067】図4(e)参照

次いで、メッキシード層20を形成した両面銅張積層板11を水洗処理したのち、乾燥し、次いで、上述の脱脂

処理と同様にモノエタノールアミン+活性剤+イオン交換水を含む脱脂溶液を用いて脱脂処理を行ったのち、電解銅メッキ処理を施すことによってメッキシード層20上に電解銅メッキ層21を形成してビアホールを埋め込*

硫酸銅	70 g/l
硫酸	200 g/l
塩素イオン	50 mg/l
光沢剤	5 ml/l

からなり、浴温度を25℃とし、陰極電流密度を3.0 A/dm²を流し、空気攪拌しながら90分間電解銅メッキ処理を行う。

【0069】次いで、図示を省略するものの、エポキシ樹脂層13上に堆積した電解銅メッキ層21及びメッキシード層20を所望のパターンにエッチングすることによって銅配線層を形成する。

【0070】以降は、水洗処理及び乾燥処理を行なったのち、上述のエポキシ樹脂層13のラミネート、レーザ加工等の一連の処理を必要回数繰り返すことによって高密度多層配線基板が形成され、最後に、水洗処理したのち、ベンゾトリアゾール液中に両面銅張積層板11を浸漬して防錆処理を行う。

【0071】この第2の実施の形態において、上記の図4(e)の工程の後に上述の防錆処理を行なったビアホール数が1000の両面銅張積層板10枚に対して、ボイドの発生率を測定したところ、10000のビアホール15に対してボイド発生率は0%であった。

【0072】また、この状態の10枚の両面銅張積層板に対して、-65℃~125℃における温度サイクル試験を、48サイクル/日で実施したのちの層間接合不良を測定したところ、層間接合不良は0/10000と良好であった。

【0073】この様に、第2の実施の形態においては、埋込成長の初期段階を銅回路12の表面に形成した活性化領域17を自己触媒とした無電解銅メッキ処理によって行い、以降の成長を、例えば、2μm/分と成膜速度の早い電解銅メッキ処理によって行なっているため、埋め込みに必要な時間を大幅に短縮することができ、且つ、電解銅メッキ処理工程においては、ビアホール15のアスペクト比が小さくなっているため、電解銅メッキ層21中にボイドが発生することがない。

【0074】次に、図5を参照して、本発明の第3の実施の形態の配線基板の製造工程を説明する。なお、この場合も各図においては一方の表面しか図示していないが、実際には、両側の面に対して処理を行なうものであり、また、上記の第2の実施の形態と同一の工程については説明を簡略化する。

【0075】図5(a)参照

まず、上記の第2の実施の形態と全く同様に、表面に銅回路12を設けた、例えば、板厚が0.8mmで、30cm×30cmの両面銅張積層板(FR-4)11上に

*む。

【0068】この場合の電解メッキ浴は、従来の電解銅メッキ浴と同様であり、例えば、

70 g/l
200 g/l
50 mg/l
5 ml/l

厚さ30μmのエポキシ樹脂層13をラミネートしたのち、レーザ加工によってビアホール15を形成する。

【0076】次いで、上述のデスミア処理、中和処理、脱脂処理、及び、活性化処理を行なうことによって、銅回路12の表面を活性化処理してホルマリンを還元剤とする無電解銅メッキ浴に対して触媒能力のある活性化銅表面からなる活性化領域17を形成する。

【0077】図5(b)参照

次いで、上記の第2の実施の形態と全く同様に、硫酸銅系の無電解銅メッキ液を用いて活性化領域17を自己触媒とした無電解銅メッキ処理を施すことによって、銅回路12の表面の活性化領域17上に無電解銅メッキ層18を形成する。

【0078】図5(c)参照

次いで、上記の第2の実施の形態と全く同様に、ブリード処理、キャタリスト処理、及び、アクセレータ処理を行なうことによって銅回路12及びエポキシ樹脂層13の露出表面にPd触媒19を析出させる。

【0079】図5(d)参照

次いで、両面銅張積層板11を水洗処理したのち、第2の実施の形態と全く同様の硫酸銅系の無電解銅メッキ液を用いて無電解銅メッキ処理を施すことによって、ビアホール15を無電解銅メッキ層22で埋め込むとともに、エポキシ樹脂層13の平坦面にも無電解銅メッキ層22を堆積させる。

【0080】次いで、図示を省略するものの、エポキシ樹脂層13上に堆積した無電解銅メッキ層22を所望のパターンにエッチングすることによって銅配線層を形成する。

【0081】以降は、水洗処理及び乾燥処理を行なったのち、上述のエポキシ樹脂層13のラミネート、レーザ加工等の一連の処理を必要回数繰り返すことによって高密度多層配線基板が形成され、最後に、水洗処理したのち、ベンゾトリアゾール液中に両面銅張積層板11を浸漬して防錆処理を行う。

【0082】この第3の実施の形態においては、埋込成長の初期段階を銅回路12の表面に形成した活性化領域17を自己触媒とした無電解銅メッキ処理によって行い、以降の成長を、Pdを触媒とした無電解銅メッキ処理によって行なっているため、メッキ膜の成長は、ビアホール15の開口部側からも起こるので、埋め込みに必要な時間を短縮することができる。

【0083】また、上記の電解銅メッキ処理を併用する第2の実施の形態に比べて所要時間は長くなるものの、製造工程が簡素化されるとともに、薬液は無電解メッキ液のみで良く、電解メッキ液は不要となる。

【0084】次に、図6及び図7を参照して、本発明の第4の実施の形態の配線基板の製造工程を説明する。なお、この場合も、各図においては一方の表面しか図示していないが、実際には、両側の面に対して処理を行なうものである。

図6(a)参照

まず、表面に銅回路12を設けた、例えば、板厚が0.8mmで、30cm×30cmの両面銅張積層板(FR-4)11上に厚さ30μmのポリイミド樹脂層(ユービレックスS25:宇部興産社製商品名)31をラミネートしたのち、110℃で60分間のベーキング処理を行い、次いで、例えば、UV-YAGレーザ、即ち、YAGレーザの第4高調波を利用して波長が266nmのレーザ光を照射して両面銅張積層板11に設けた銅回路12に接続するためのビアホール15を形成する。例えば、このビアホール15は、直径が30μmφで、アスペクト比を1.0とする。

【0085】次いで、上記の第1の実施の形態と全く同様に、デスマア処理、中和処理、脱脂処理、及び、活性化処理を行なうことによって、銅回路12の表面を活性化処理してホルマリンを還元剤とする無電解銅メッキ浴に対して触媒能力のある活性な銅表面からなる活性化領域17を形成する。

【0086】図6(b)参照

次いで、両面銅張積層板11を水洗処理したのち、上記の第1の実施の形態と全く同様の硫酸銅系の無電解銅メッキ液を用いて活性化領域17を自己触媒とした無電解銅メッキ処理を施すことによって、銅回路12の表面の活性化領域17上に底部側から約10μmの厚さに無電解銅メッキ層18を形成する。

【0087】図6(c)参照

次いで、両面銅張積層板11をNaOH及び界面活性剤を主成分とする70℃の溶液中に10分間浸漬してポリイミド樹脂層31を膨潤させ、水洗処理したのち、上述のデスマア処理、中和処理、及び、脱脂処理を再び行なう。

【0088】次いで、脱脂処理した両面銅張積層板11を再び水洗処理したのち、例えば、5mol/lのKOHからなるアルカリ溶液中に両面銅張積層板11を、例えば、70℃において20分浸漬することによって、ポリイミド樹脂層31を構成するイミド環を開環する。

【0089】このアルカリ溶液を用いたイミド環開環処理によって、イミド環が開環して[-(NH)C=O]結合と[-(C=O)OH]結合が形成され、[-(C=O)OH]のHがKによって置換されて、ポリイミド樹脂層31の表面に[-(C=O)OK]結合、即ち、

-COOK結合が形成される。

【0090】図6(d)参照

次いで、イミド環開環処理した両面銅張積層板11を再び水洗処理したのち、例えば、0.05mol/lのCuSO₄を含有するCuイオン含有溶液中に両面銅張積層板11を、例えば、25℃において3分浸漬することによって、-COOKのKをCu²⁺で置換して、カルボキシル基にCuイオンを吸着させる。

【0091】図7(e)参照

10 次いで、アルカリ処理した両面銅張積層板11を再び水洗処理したのち、例えば、0.02mol/lのNaBH₄を含有する還元溶液中に両面銅張積層板11を、25℃において、5分浸漬することによって、-COOCu²⁺のCu²⁺をNaで置換してCu²⁺を還元し、還元したCu²⁺をCu触媒32としてポリイミド樹脂層31及び無電解銅メッキ層18の表面に析出させる。

【0092】図7(f)参照

20 次いで、上述の硫酸銅系の無電解銅メッキ液を用いてポリイミド樹脂層31及び無電解銅メッキ層18の表面に析出させたCu触媒32を触媒とした無電解銅メッキ処理を行なうことによって全面に無電解銅メッキ層からなるメッキシード層20を形成する。

【0093】図7(g)参照

以降は、上記の第2の実施の形態の電解銅メッキ工程と全く同様に、メッキシード層20を形成した両面銅張積層板11を水洗処理したのち、乾燥し、次いで、脱脂処理及び電解銅メッキ処理を施すことによってメッキシード層20上に電解銅メッキ層21を形成してビアホールを埋め込む。

30 【0094】次いで、図示を省略するものの、ポリイミド樹脂層31の平坦部上に堆積した電解銅メッキ層21及びメッキシード層20を所望のパターンにエッチングすることによって銅配線層を形成する。

【0095】以降は、水洗処理及び乾燥処理を行なったのち、上述のポリイミド樹脂層31のラミネート、レーザ加工等の一連の処理を必要回数繰り返すことによって高密度多層配線基板が形成され、最後に、水洗処理したのち、ベンゾトリアゾール液中に両面銅張積層板11を浸漬して防錆処理を行う。

40 【0096】この第4の実施の形態においては、層間絶縁膜としてカルボキシル基を構成要素として含むポリイミド樹脂を用いているので、イミド環開環処理を伴う処理によって触媒としてCu触媒を析出させることができ、それによって、メッキシード層20をCu触媒32を自己触媒とした無電解銅メッキ処理によって形成することができる。

50 【0097】したがって、この第4の実施の形態においては、埋め込み層中にCuと異なった異種金属が介在することがなく、それによって、上記の第2の実施の形態より密着性が改善されるとともに、電気伝導性をさらに

改善することができる。

【0098】以上、本発明の各実施の形態を説明してきたが、本発明は各実施の形態に記載された構成・条件に限られるものではなく、各種の変更が可能である。例えば、上記の各実施の形態においては、デスミア処理工程を酸化処理工程として行っているが、サンドブラスト法、コロナ放電処理法、低温プラズマ処理法等の物理的粗面化処理方法や、アルカリ溶液処理等の化学的粗面化処理法を用いても良いものである。

【0099】また、上記の第4の実施の形態においては、イミド環開環処理工程において、KOH水溶液を用いているが、KOH水溶液に限られるものではなく、他の強アルカリ水溶液、例えば、NaOH水溶液を用いても良いものである。

【0100】また、上記の第4の実施の形態においては、還元処理工程において、還元剤としてNaBH₄を用いているが、NaBH₄に限られるものではなく、ヒドラジン、DMAB（ジメチルアミンボラン）、トリメチルアミノボラン（TMAB）、KBH₄等の他の金属イオン還元剤を用いても良いものである。

【0101】また、上記の第4の実施の形態においては、ポリイミド樹脂については特に言及していないが、ポリビフェニル系イミド、ポリケトン系イミド、ポリピロメリット酸イミド、或いは、全ての芳香族ポリイミド等を用いても良いものであり、構成要素中にカルボキシル基を含んでいれば良い。

【0102】また、上記の第4の実施の形態のように、Cu触媒を用いた無電解銅メッキ処理を用いる場合には、上記の第3の実施の形態と同様に、ビアホール全体を無電解銅メッキ層によって埋め込むとともに、この無電解銅メッキ層をパターニングすることによって銅配線層を形成しても良いものである。

【0103】また、上記の各実施の形態においては、銅配線層をベタ膜で形成した銅メッキ層をフォトリソグラフィ工程によって所定形状にパターニングすることによって形成しているが、銅配線層のパターニング工程はこの様な工程に限られるものではない。

【0104】例えば、上記の第2乃至第4の実施の形態のように触媒を用いた場合には、全面に触媒を形成し、無電解メッキ法によってメッキシード層を形成した後、レジストパターンからなるメッキフレームを設けて電解メッキ法によって電解銅メッキ層を選択的に形成し、次いで、メッキフレームを除去した後、塩化銅等のエッチング液によって露出しているメッキシード層を除去するセミアディティブ法によって銅配線層を形成しても良いものである。

【0105】さらには、まず、活性化領域を自己触媒とした無電解銅メッキ処理によって初期埋込層を形成したのち、全面にメッキフレームを形成し、次いで、露出面に触媒を形成したのち、無電解メッキ法によってメッ

キシード層を形成し、次いで、電解メッキ法によって電解銅メッキ層を形成して配線層とするフルアディティブ法を用いても良いものである。

【0106】また、上記の各実施の形態においては、銅回路、銅配線層、及び、ビアを触媒に用いるPd以外、純粋な銅によって形成しているが、純粋な銅に限られるものではなく、Zn等の他の金属元素を少量混入した銅を主成分とする導電体によって構成しても良いものである。

10 【0107】また、上記の実施の形態においては、ビルドアップ工法による高密度多層配線基板として説明しているが、このような高密度多層配線基板に限られるものではなく、例えば、ウェハレベルCSP（Chip Size PackageまたはChip Scale Package）、或いは、TCP（Tape Carrier Package）等における多層配線層の形成工程にも適用されるものである。

【0108】

20 【発明の効果】本発明によれば、銅回路或いは銅配線層に対するビアを形成する際に、銅回路或いは銅配線層の表面に活性化処理を施して活性化領域を形成し、この活性化領域を自己触媒とした無電解銅メッキ処理によって少なくともビアを構成する初期埋込層を形成しているので、ビア中にボイドが発生することがなく、それによって、高密度多層配線基板等の配線基板の信頼性の向上に寄与するところが多い。

【図面の簡単な説明】

【図1】本発明の原理的構成の説明図である。

30 【図2】本発明の第1の実施の形態の製造工程の説明図である。

【図3】本発明の第2の実施の形態の途中までの製造工程の説明図である。

【図4】本発明の第2の実施の形態の図3以降の製造工程の説明図である。

【図5】本発明の第3の実施の形態の製造工程の説明図である。

【図6】本発明の第4の実施の形態の途中までの製造工程の説明図である。

40 【図7】本発明の第4の実施の形態の図6以降の製造工程の説明図である。

【図8】高密度多層配線基板の概略的断面図である。

【図9】従来のビアホールの埋込工程の説明図である。

【符号の説明】

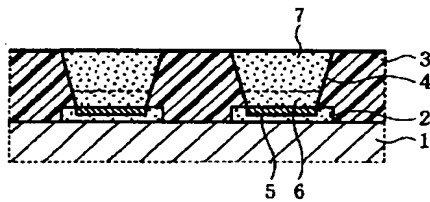
- 1 ベース層
- 2 導電層
- 3 有機絶縁層
- 4 ビアホール
- 5 活性化領域
- 6 初期埋込層
- 50 7 ビア

17

- 11 両面銅張積層板
- 12 銅回路
- 13 エポキシ樹脂層
- 14 レーザ光
- 15 ビアホール
- 16 活性化処理液
- 17 活性化領域
- 18 無電解銅メッキ層
- 19 Pd触媒
- 20 メッキシード層
- 21 電解銅メッキ層
- 22 無電解銅メッキ層
- 31 ポリイミド樹脂層
- 32 Cu触媒

【図1】

本発明の原理的構成の説明図



- | | |
|----------|----------|
| 1: ベース層 | 5: 活性化領域 |
| 2: 導電層 | 6: 初期銅込層 |
| 3: 有機絶縁層 | 7: ビア |
| 4: ビアホール | |

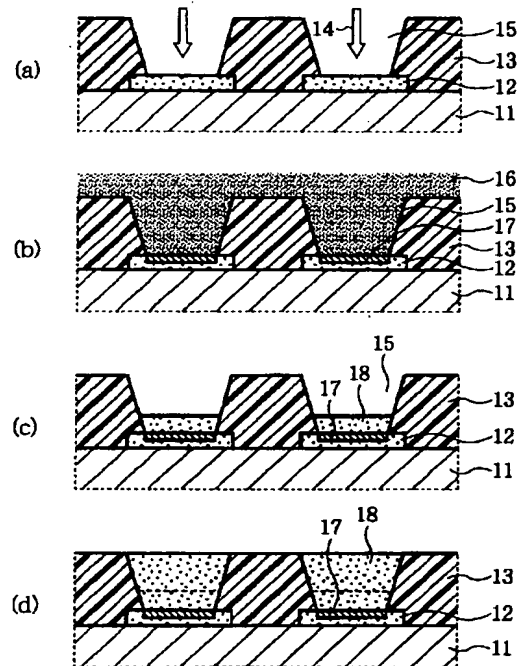
18

- 41 両面銅張積層板
- 42 銅回路
- 43 貫通導体
- 44 電源層
- 45 GND層
- 46 エポキシ樹脂層
- 47 銅配線層
- 48 ビア
- 51 レーザ光
- 52 ビアホール
- 53 Pd触媒
- 54 メッキシード層
- 55 電解銅メッキ層
- 56 ボイド

10

【図2】

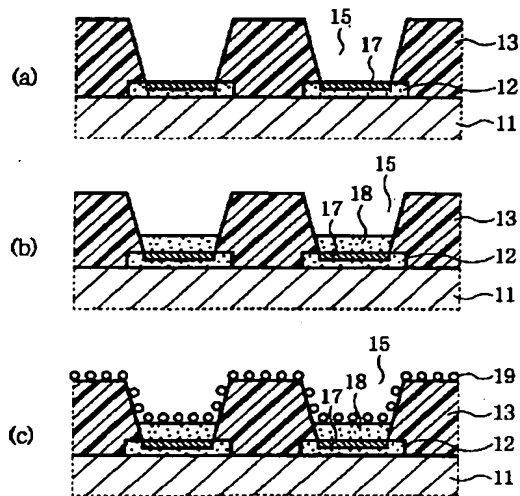
本発明の第1の実施の形態の製造工程の説明図



- | | |
|-------------|--------------|
| 11: 両面銅張積層板 | 15: ビアホール |
| 12: 銅回路 | 16: 活性化処理液 |
| 13: エポキシ樹脂層 | 17: 活性化領域 |
| 14: レーザ光 | 18: 無電解銅メッキ層 |

【図3】

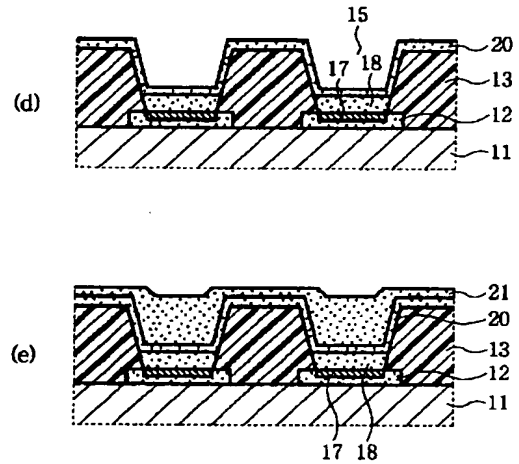
本発明の第2の実施の形態の途中までの製造工程の説明図



- | | |
|-------------|--------------|
| 11: 両面銅張積層板 | 17: 活性化領域 |
| 12: 銅回路 | 18: 無電解銅メッキ層 |
| 13: エポキシ樹脂層 | 19: Pd触媒 |
| 15: ビアホール | |

【図4】

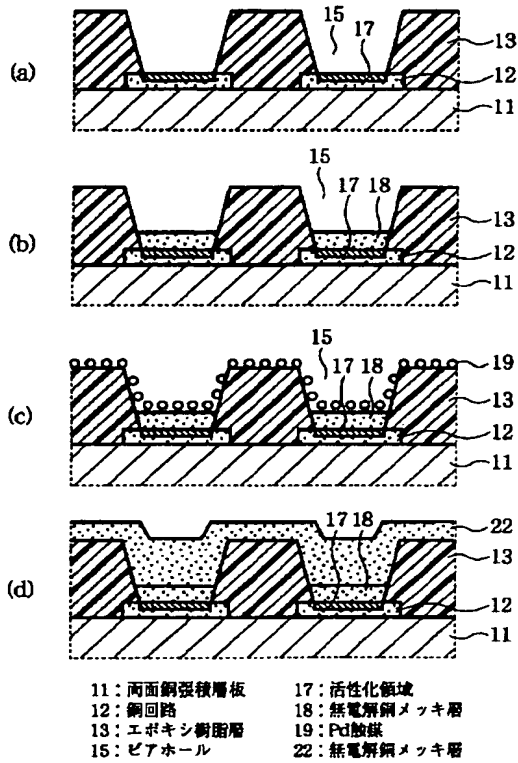
本発明の第2の実施の形態の図3以降の製造工程の説明図



- | | |
|-------------|--------------|
| 11: 両面銅張積層板 | 17: 活性化領域 |
| 12: 銅回路 | 18: 無電解銅メッキ層 |
| 13: エポキシ樹脂層 | 20: メッキシード層 |
| 15: ビアホール | 21: 電解銅メッキ層 |

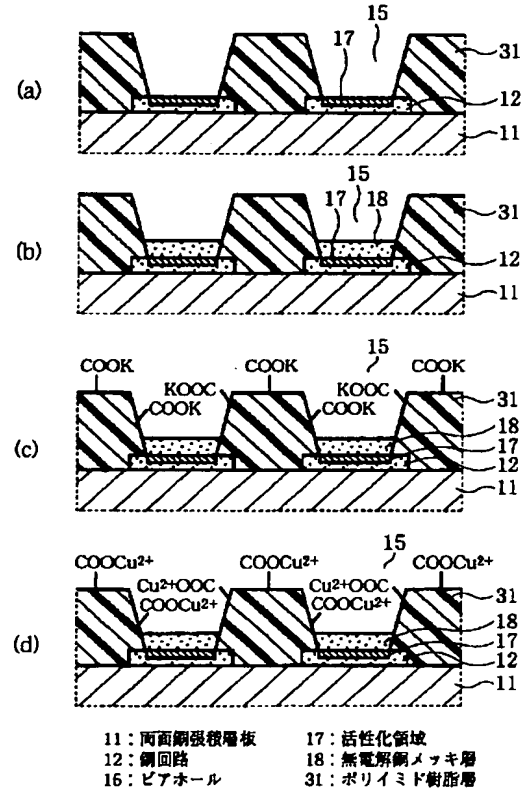
【図5】

本発明の第3の実施の形態の製造工程の説明図



【図6】

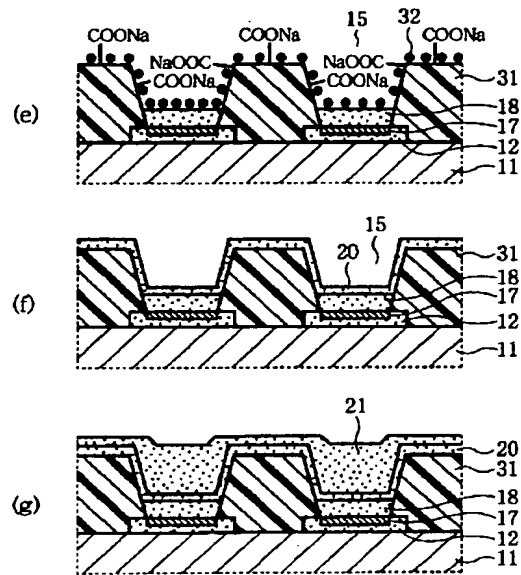
本発明の第4の実施の形態の途中までの製造工程の説明図



【図7】

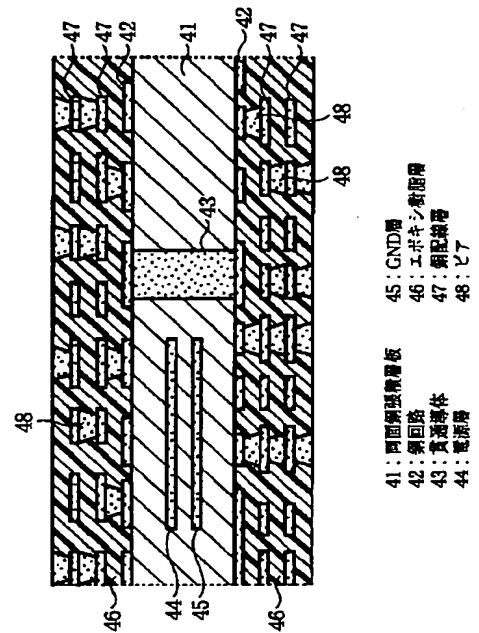
【図8】

本発明の第4の実施の形態の図6以降の製造工程の説明図

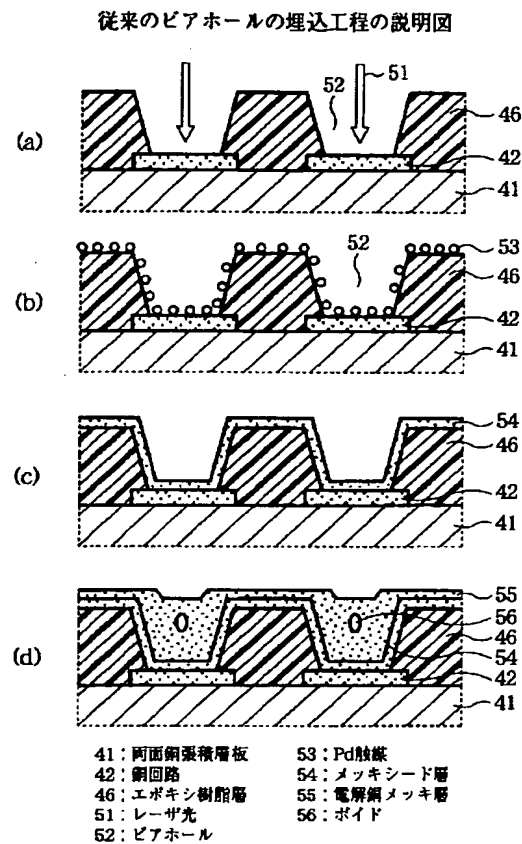


- | | |
|--------------|--------------|
| 11: 両面銅張積層板 | 20: メッキシード層 |
| 12: 銅回路 | 21: 電解銅メッキ層 |
| 15: ピアホール | 31: ポリイミド樹脂層 |
| 17: 活性化領域 | 32: Cu触媒 |
| 18: 無電解銅メッキ層 | |

高密度多層配線基板の概略的断面図



【図 9】



フロントページの続き

(71)出願人 598062952
 緒方工業株式会社
 熊本県熊本市上熊本2丁目9番9号

(71)出願人 501080321
 株式会社熊防メタル
 熊本県熊本市長峰西1丁目4番15号

(72)発明者 古屋 明彦
 東京都台東区1丁目5番1号 凸版印刷株式会社内

(72)発明者 安田 敬一郎
 熊本県熊本市上熊本2-9-9 緒方工業株式会社内

(72)発明者 王 増林
 熊本県上益城町田原2081-10 財団法人熊本テクノポリス財団内

(72)発明者 池田 秀雄
 熊本県熊本市世安町335番地 株式会社野田市電子内

(72)発明者 馬場 知幸
 熊本県熊本市長峰西1丁目4番15号 熊本防▲鋳▼工業株式会社内

(72)発明者 萩原 宗明
 熊本県上益城町田原2081-10 財団法人熊本テクノポリス財団内

Fターム(参考) 5E317 AA24 BB02 BB12 CC32 CD11
 CD13 CD27 GG11
 5E346 AA12 AA43 CC10 CC32 DD12
 DD25 DD33 EE33 FF13